

1990-290048 JAPIO  
TI LAMINATED SEMICONDUCTOR MOUNTED BODY  
IN HATADA KENZO  
PA MATSUSHITA ELECTRIC IND CO LTD, JP (CO 000582)  
PI JP 02290048 A 19901129 Heisei  
AI JP1990-13875 (JP02013875 Heisei) 19900124  
SO PATENT ABSTRACTS OF JAPAN, Unexamined Applications, Section: E, Sect.  
No. 1034, Vol. 15, No. 66, P. 94 (19910215)  
IC ICM (5) H01L025-065  
ICS (5) H01L021-60; (5) H01L025-07; (5) H01L025-18  
AB PURPOSE: To easily laminate semiconductor chips on a substrate by a  
method wherein any needless outer leads to be connected to substrate  
electrode wiring are cut off corresponding to the inner leads of respective TAB  
packages to be laminated.  
CONSTITUTION: TAB packages A-D are laminated on a circuit substrate 30  
through the intermediary of a resin film 1. An electrode 10 of the  
package is connected to electrode wirings 31a-31d, 33 of the substrate 30 by  
outer leads 8a-8d, S', etc., while the inner leads of the packages A-D are  
connected to the said wirings 31a-31d, 33, etc. During these  
connecting processes, any needless outer leads are cut off not to be used. In  
such a constitution, semiconductor chips can be laminated on the substrate 30  
easily and without fail thereby enhancing the mounting density.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-290048

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月29日

H 01 L 25/065  
21/60  
25/07  
25/18

3 1 1 R

6918-5F

7638-5F H 01 L 25/08

Z

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 積層型半導体実装体

⑯ 特 願 平2-13875

⑰ 出 願 平2(1990)1月24日

優先権主張 ⑱ 平1(1989)2月15日 ⑲ 日本(JP) ⑳ 特願 平1-36822

㉑ 発 明 者 畑 田 賢 造 大阪府門真市大字門真1006番地 松下電器産業株式会社内

㉒ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

㉓ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

積層型半導体実装体

2. 特許請求の範囲

(1) 半導体チップの電極端子に接続されたインナリードにつながったアウトリード領域で前記アウトリードが複数本に分離され、前記半導体チップを実装したTABパッケージが複数段に積層され、各積層段毎に前記複数本に分離されたリードは少なくとも一本が残され、他のリードが所定本数切断され、前記積層されたTABパッケージが回路基板上に搭載されたことを特徴とする積層型半導体実装体。

(2) 1本のインナリードから導出され、アウトリード領域で分離されるリードの数は半導体チップの積層数の数と同じであることを特徴とする特許請求の範囲第1項記載の積層型半導体実装体。

(3) 半導体チップから導出されたアウトリードの導出位置が各積層パッケージ毎に異なることを特徴とする特許請求の範囲第1項記載の積層型

半導体実装体。

(4) アウトリード近傍の樹脂テープに孔を設け、前記孔にガイドピンを挿入しTABパッケージを積層する時の各パッケージ間のアウトリードの位置決めとすることを特徴とする特許請求の範囲第1項記載の積層型半導体実装体。

(5) 半導体チップがメモリチップであり、複数本に分離されたリードがチップ選択指令信号の印加端子であることを特徴とする特許請求の範囲第1項記載の積層型半導体実装体。

3. 発明の詳細な説明

産業上の利用分野

本発明はTAB方式で実装されたパッケージを複数個積層した構造を有する半導体装置に関するものである。

従来の技術

近年、電子機器の高密度化の要求は大きな課題となっており、その解決策として第5図に示す構成が用いられている。第5図は従来の高密度実装による半導体装置の一例の断面図である。回路基

板20の両面には所定の配線パターンと電極21a, 21bが設けられ、各面の配線パターン同士はスルーホール(図示せず)で電気的に接続されている。パッケージされた半導体チップ22a, 22bは回路基板20の両面に載置されている。このような従来の構成では、パッケージを回路基板20の両面に配設することによって、少なくとも同一平面積で約2倍の実装密度を得ていた。

発明が解決しようとする課題

しかし、従来の構成では回路基板の両面にパッケージを平面的に配設するため2倍の実装密度しか得られず、搭載したチップが増える程実装面積が増加して電子機器の高密度化に対応できないという問題があった。本発明は、上述の問題点に鑑みて試されたもので、2倍以上の実装密度が得られる積層型半導体実装体を提供することを目的とする。また、本発明は積層した半導体装置のリードの基板への接続を容易に行うことのできる構造を提供することを目的とする。さらにまた、本発明は、半導体メモリデバイスの積層に好適な積層

構造体を得ることを目的とする。

課題を解決するための手段

本発明は上述の課題を解決するため、半導体チップの電極端子に接続されたインナリードにつながったアウトリード領域で前記アウトリードが複数本に分離され、前記半導体チップを実装したTABパッケージが複数段に積層され、各積層段毎に前記複数本に分離されたリードは少なくとも一本が残され、他のリードが所定本数切断、前記積層されたTABパッケージが回路基板上に搭載させるという構成を備えたものである。

作用

本発明は上述の構成によって、半導体チップを容易に回路基板上に2層又はそれ以上に積層でき、その状態で共通端子以外の端子を回路基板の電極に容易に接続できる。従って、半導体チップを何層でも積み重ねたパッケージを得ることが可能となり、2倍以上の実装密度が得られる。

実施例

LSIメモリチップを同一回路基板上に複数個

-3-

搭載する場合、電源、クロック信号ライン等の各チップ共通の電極は、これらの各チップの同一の電極同志を共通に接続して回路基板上の配線と接続することができる。しかしながら、チップ選択用の電極等の非共通電極は、個々のチップから独立して個々に取出して回路基板上の特定の配線にそれぞれ接続する必要がある。複数個のLSIメモリチップを積層する場合このような課題があり、共通電極および非共通電極の接続処理を考慮した本発明の実施例を以下に説明する。第1図は本発明の一実施例における半導体装置の構成の一部であるTABパッケージの平面図である。本実施例ではメモリLSIチップを4チップ積層する場合について以下第3図および第4図にて説明する。第1図において、ポリイミド、ガラエポ(ガラス繊維入りエポキシ)等の樹脂フィルム(フィルムキャリアテープ)1に少なくともデバイスホール3とアウトリードホール4が開孔され、デバイスホール3には銅箔で形成されメッキ処理されたインナリード5, 7が突出した形状に構成される。なお

リード100はインナリード5, 7、リード5, 7とそれぞれ一体に形成されたアウトリード5', 8から構成されている。そしてアウトリード8の領域は複数のアウトリード8a~8hに分離形成されている。第1図の構成例では、チップ2は8個の電極を有し、これらにそれぞれ8本のインナリード5が接続されている。第1図はLSIチップ2の電極6, 10とインナリード5, 7とが既に接続された状態を示している。LSIチップ2とインナリード5, 7とは、チップ2の電極6, 10上に形成したバンプ(金属突起)とリード5, 7を接合するかまたはリード5, 7上にバンプを形成しこのバンプと電極6, 10を接合することにより接続されている。積層される各々のLSIチップにおいてチップ2上の同一位置の電極で同一の信号を処理するリード5, 5'すなわち共通端子は、たとえば電源、クロック信号端子であってLSIチップ2の電極に接続されたインナリード領域およびそれに続くアウトリード領域を通して一本で連続して形成されている。一方、積層される各々のLSIチップにお

-5-

-6-

いてチップ2上の同一位置の電極10で異なる信号を処理するリードすなわち、各々のチップに信号の入出力を行なわせるために用いるチップ選択用の非共通電極端子は、少なくともインナリード領域すなわちインナリード7では一本であるが、アウトリード領域8では、積層するチップの数の分だけインナリード7が分離されたリード群（アウトリード）8a～8hとして形成される。

また、フィルムキャリアテープ1上には任意の場所に孔9が設けられている。なお、第1図ではLSIチップ2が1個示してあるが、テープ1には長手方向に第1図のごとくチップが多数設置されている。すなわち、フィルムキャリアテープ1のインナリード5,7にLSIチップ2が長手方向に連続的に多数実装され、電気検査が行われる。第1図の状態において、チップ2に保護樹脂膜（図示せず）の形成が行われ、回路基板上に搭載される前に例えば鎖線Lの部分で所定形状に切断され、個々のTABパッケージが作成される。第2図(a)～(d)は第1図の状態のフィルムを所定形

状に切断し、積層するLSIチップを実装した各層毎のTABパッケージを形成した状態を示す平面図である。積層するLSIチップを実装したTABパッケージAにおいて、電極10のアウトリードは8a, 8eのリード以外（8b, 8c, 8d, 8f, 8g, 8h）は全て切断されている（第2図(a)）。積層するLSIチップを実装したパッケージBにおいては、チップAと同一位置の電極10のアウトリードは8a, 8c, 8d, 8e, 8g, 8hを切断し8b, 8fのみを残し（第2図(b)）、同様にLSIチップを実装したパッケージCのアウトリードは8c, 8g, LSIチップを実装したパッケージDのアウトリードは8d, 8hを残し、他のリードは切断されている（第2図(c), (d)）。このように、積層するLSIチップの段毎にアウトリード8の切断後の形状を異ならせる。このアウトリード8の選択的な切断はたとえば打抜き用の金型を用い、LSIチップ2を第1図のごとくフィルムに実装後、フィルムキャリア1から各チップ2を所定形状に切断する際に同時に行なうことができる。あるいはチップ2を

-7-

-8-

一定の金型で同じように所定形状に切断した後、アウトリード8のみを別な工程で切断しても良い。

第2図の構成の各TABパッケージA～Dをすべて積層すると、各パッケージの電極10から導出された非共通端子となるアウトリード8a, 8b, 8c, 8d, 8e, 8f, 8g, 8hは積層した状態で重ならない構造となる。したがって、こうした状態のアウトリードに別々に信号の入出力ができる。第3図はLSIチップを実装したTABパッケージを積層した実装状態を示す断面図、第4図は積層実装状態の一部の斜視図を示す。この構造は孔9にガイドピン50を挿入してテープキャリアパッケージを積層する時の各パッケージ間のアウトリードの位置決めとし、4個のLSIチップA, B, C, Dを実装したTABパッケージをA～Dを積層して回路基板30に設置し、前述したごとく重なることなく導出したアウトリードを回路基板30の各電極配線に接続させる。第3, 4図では、各リード8a, 8b, 8c, 8dが基板の電極配線31a～31dにそれぞれ接続されている状態を示す。この時の接続は、例え

ばバルスツール51等を用い瞬間的に温度を上げ、はんだ層をリフローさせて接続させる。また、積層した各LSIチップのリードのフォーミングもリード自体が薄くて柔らかいので簡単に各々の形状にフォーミングできる。なお、この接続の前にアウトリード8a, 8b, 8c, 8dのフォーミング処理を行わなくても、単にフィルムキャリア1から切断した状態に（リードがチップ面と同一方向に導出した状態）にしておき、回路基板30に各チップを搭載するとき例えばバルスツール51でリードを押えることにより、各チップのリードは第3図のようにフォーミングすることも可能である。なお、各LSIチップ2の共通端子から導出されたリード5'は同一位置で重なった状態で回路基板の電極に一括接続される。このようにして、LSIチップをそれぞれ実装した極めて薄い複数のTABパッケージを、容易かつ高密度に回路基板上に積層形成できる。そして、各チップの共通端子を除いて、非共通端子（アウトリード）は、回路基板上の異なる位置に導出することができる。さ

-9-

-10-

らに、アウトリードは、TABパッケージ作成時に完成されており、回路基板への実装時に何ら余分な加工を施したり、他の部材を用いる等の手間は全くない。第3、第4図の例において、チップを半導体メモリチップとすると、まず、チップAに対して信号の入出力を行う場合は、リード8aに指令信号を入力する。これによりチップAに対してのみ信号の入力が可能となる。同じようにたとえばチップDに対して信号の入出力を行う場合は、リード8dにより指令信号を入力する。この様に、チップ選択端子であるリード8a~8dを用いて、各積層チップを自由に選択することができる。たとえばチップとして256xD-RAM, 1nDRAM, 4nDRAMを用い、第3図、第4図の構成を用いて4個積層すると、それぞれ1M, 4M, 16MのDRAM容量を有するメモリ実装体を得ることができる。そしてこの実装体は、1個当たり約445 $\mu$ m程度の厚さのTABパッケージそのものの直接積層であり、全体としても極めて小型、薄型化されたものとなり、面積も一個分ですむ。なお、メモリチップとしてはDRAMに限ら

ずSRAM, ROM等のものにも適用できるとともに、メモリチップ以外にも本発明は適用できることは当然である。そして、本発明における積層数は4個に限らず、2層からそれ以上任意の層数の積層が可能となる。

#### 発明の効果

以上の説明から明らかなように、本発明は容易に半導体チップを回路基板上に積層でき、そのリード端子の回路基板への接続も簡単に行なえる。本発明のパッケージはTAB技術を用いているので、一本のインナリードから分離して複数のアウトリードを微細ピッチで形成することができ、かつ不必要なリードを簡単に切断できる。また本発明では、多数のチップを搭載しても少なくとも1チップ分の実装面積で処理ができるため、著しく実装密度が向上できる効果があり、工業的に極めて有用である。

#### 4. 図面の簡単な説明

第1図は本発明の実施例における半導体装置の構成の一部であるTABパッケージの平面図、第

-11-

-12-

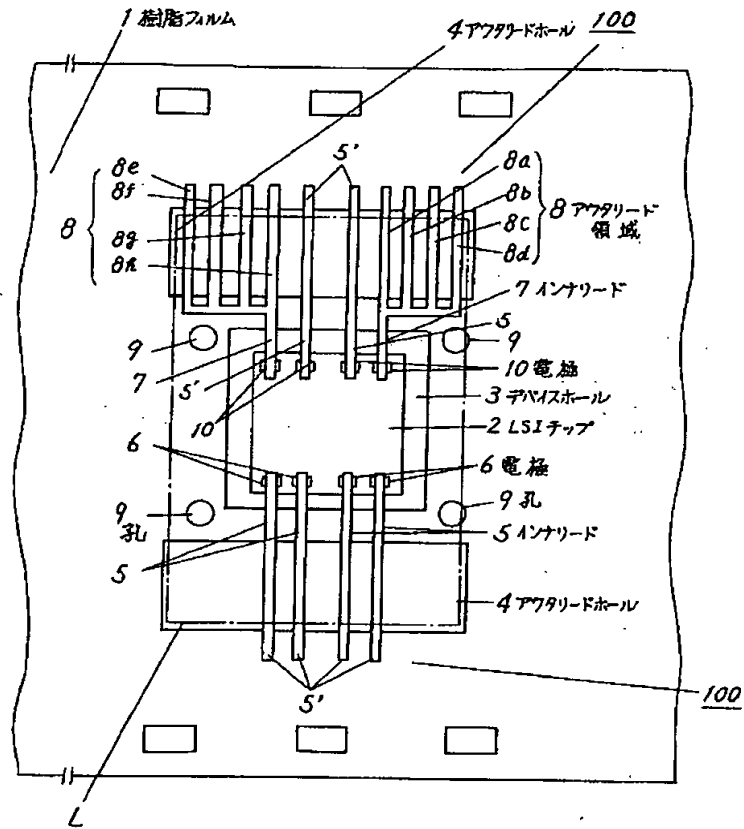
2図(a)~(d)は積層するLSIチップを実装したTABパッケージを各層毎の所定形状に切断した状態を示す平面図、第3図はそれぞれLSIチップを実装したTABパッケージを積層した実装状態を示す断面図、第4図は同パッケージの要部斜視図、第5図は従来の高密度実装した半導体装置の断面図である。

1.....樹脂フィルム、2.....LSIチップ、5, 7.....インナリード、6, 10, 31.....電極、5', 8a~8h.....アウトリード、9.....孔、30.....回路基板、50.....ガイドピン。

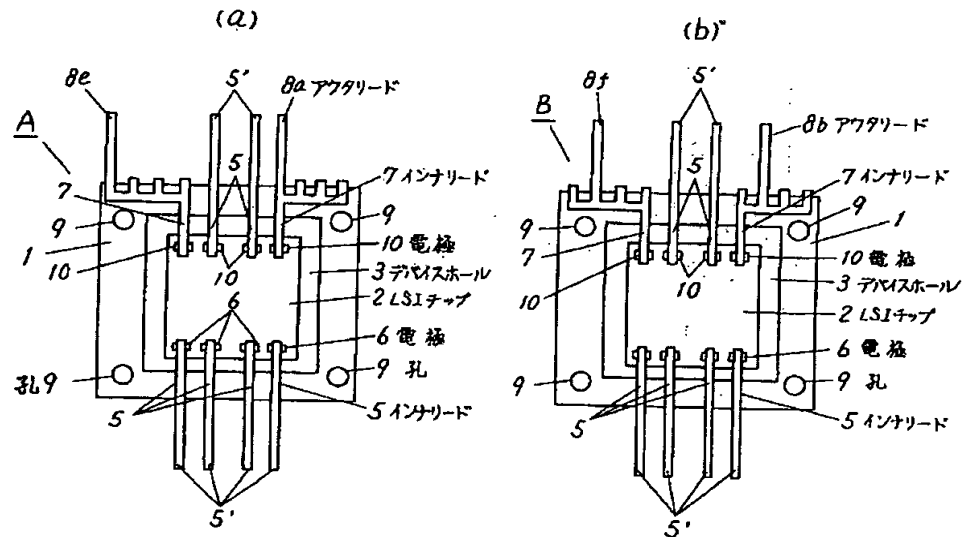
代理人の氏名 弁理士 栗野重孝 ほか1名

-13-

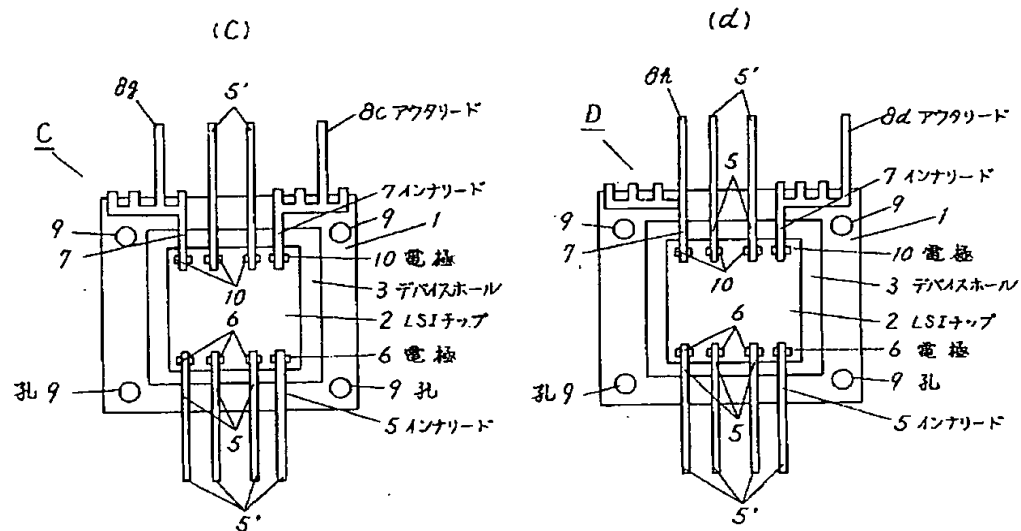
第 1 図



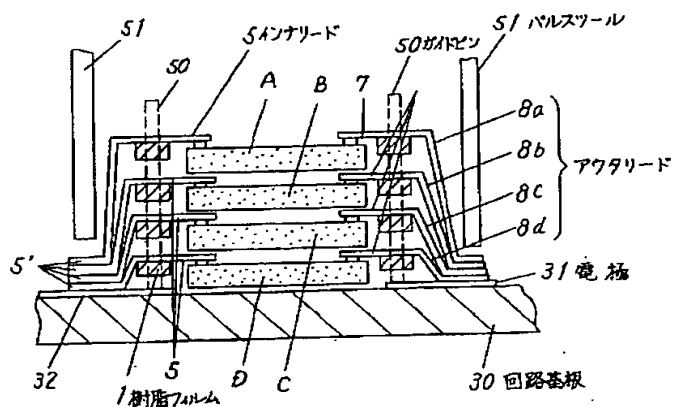
第 2 図



第 2 図

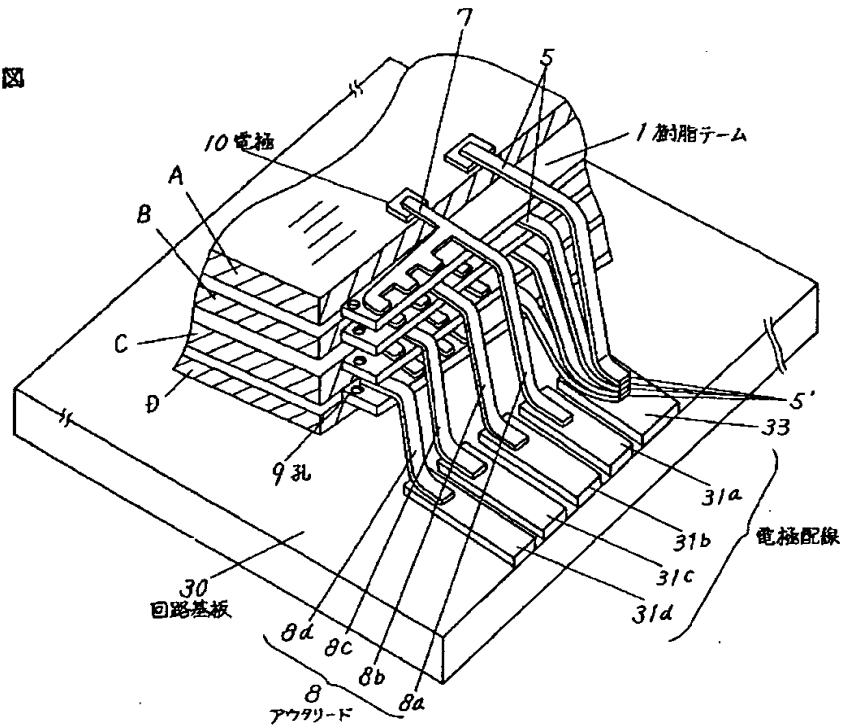


第 3 図





第 4 図



第 5 図

